

DIALOG(R)File 352:1 WENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

008862049 **Image available**

WPI Acc No: 91-366074/199150

XRPX Acc No: N91-280265

**Thin-film FET - has structure in which gate wiring is formed on
insulator-covered semiconductor channel region containing impurity**

NoAbstract Dwg 1/4

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 3246973	A	19911105	JP 9044020	A	19900223		199150 B

Priority Applications (No Type Date): JP 9044020 A 19900223

Title Terms: THIN; FILM; FET; STRUCTURE; GATE; WIRE; FORMING; INSULATE;
COVER; SEMICONDUCTOR; CHANNEL; REGION; CONTAIN; IMPURE;

NOABSTRACT

Derwent Class: U12

International Patent Class (Additional): H01L-029/78

File Segment: EPI

THIN FILM TRANSISTOR AND ITS MANUFACTURE

PUB. NO.: 03-246973 [JP 3246973 A]

PUBLISHED: November 05, 1991 (19911105)

INVENTOR(s): NAKAZONO TAKUSHI

 KANBAYASHI SHIGERU

 MASAKI YUICHI

 SATO HAJIME

 KIHARA YUMI

 NAKAMURA HIROYOSHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 02-044020 [JP 9044020]

FILED: February 23, 1990 (19900223)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1161, Vol. 16, No. 38, Pg. 33,
 January 30, 1992 (19920130)

ABSTRACT

PURPOSE: To enhance the mobility in a thin film transistor by a method wherein the concentration of electrically neutral impurities contained in a semiconductor constituting a channel part is set at $10^{18}/\text{cm}^3$ or lower.

CONSTITUTION: A semiconductor layer 2 by polycrystalline silicon is formed on a quartz substrate 1 to be island-shaped in a thickness of 2000 angstroms by using a chemical vapor growth etching method or the like; a channel part is constituted. The electrically neutral impurity concentration of polycrystalline silicon to be used as the channel part is set at $10^{18}/\text{cm}^3$ or lower. A gate oxide film 3 is formed on the layer 2. In addition, an interconnection for gate electrode use is formed; after that, it is patterned; a gate electrode 4 is formed. Before the semiconductor film is formed, the inside of a film formation container is evacuated to a pressure of 10^{-4} Torr or lower; the film of polycrystalline silicon is formed under a low partial-pressure condition. Thereby, the electrically neutral impurity concentration of the formed polycrystalline silicon film is set at $10^{18}/\text{cm}^3$ or lower, the range of a mobility enhancement is expanded, and a high quality can be realized.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-246973

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月5日

H 01 L 29/784

9056-5F

H 01 L 29/78

3 1 1 H

審査請求 未請求 請求項の数 5 (全5頁)

⑮ 発明の名称 薄膜トランジスタおよびその製造方法

⑯ 特 願 平2-44020

⑰ 出 願 平2(1990)2月23日

⑱ 発 明 者	中 國 卓 志	神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内
⑱ 発 明 者	神 林 茂	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑱ 発 明 者	正 木 裕 一	神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内
⑱ 発 明 者	佐 藤 肇	神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内
⑱ 発 明 者	木 原 由 美	神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内
⑱ 発 明 者	中 村 弘 喜	神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内
⑰ 出 願 人	株 式 会 社 東 芝	神奈川県川崎市幸区堀川町72番地
⑲ 代 理 人	弁 理 士 須 山 佐 一	

明 細 書

1. 発明の名称

薄膜トランジスタおよびその製造方法

2. 特許請求の範囲

(1) 絶縁基体と、この絶縁基体上に形成された半導体膜からなるチャネル部およびソース・ドレイン部と、前記半導体膜にゲート絶縁膜を介して形成されたゲート配線とを有する薄膜トランジスタにおいて、

前記チャネル部を構成する半導体膜が含有する電気的中性不純物の濃度が、 $10^{18}/\text{cm}^3$ 以下であることを特徴とする薄膜トランジスタ。

(2) 前記半導体膜は、多結晶シリコンである請求項1記載の薄膜トランジスタ。

(3) 前記電気的中性不純物は、酸素、炭素および窒素の中の少なくとも1種である請求項1記載の薄膜トランジスタ。

(4) 半導体膜を形成するための成膜用容器内部の全圧が 10^{-4} torr以下になるまで排気し、排気後に絶縁基体上に半導体膜を形成する工程と、

前記半導体膜にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体膜を、電気的中性不純物濃度が $10^{18}/\text{cm}^3$ 以下であるチャネル部と、電気的不純物を高濃度で含有するソース・ドレイン部とに分離する工程と、

前記絶縁基体上に絶縁層を形成する工程と、
前記絶縁層上に配線層を形成する工程と、
を有することを特徴とする薄膜トランジスタの製造方法。

(5) 前記成膜用容器内部における、酸素、炭素、窒素の各分圧を 10^{-5} torr未満とした後に、半導体膜を形成することを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、薄膜トランジスタおよびその製造方法に関する。

(従来の技術)

多結晶シリコンを使用した薄膜トランジスタの開発が盛んに行なわれ、これを応用したイメージセンサ(特開昭60-22881号公報)、感熱ヘッド(特開昭62-181473号公報)、液晶ディスプレイ等、様々な製品が生み出されている。

これらは、いずれも絶縁基板上に多結晶シリコンを用いて薄膜トランジスタを形成し、駆動回路もしくはスイッチング素子を構成している。

多結晶シリコンは薄膜トランジスタの活性層として使用され、次のような方法で基板上に形成されている。

①低温で非晶質シリコンを成膜しその後熱処理をほどこし、結晶粒径を成長させ移動度等を向上させる。

②多結晶シリコンを成膜しその後シリコンイオンインプラントレーションでアモルファス化し、その後熱処理を施して結晶粒径を成長させ、移動度等を向上させる。

また、多結晶シリコンの結晶粒の界面等に存在

すなわち、化学気相蒸着を行う際に混入すると考えられる。

化学気相蒸着は、通常、横型の減圧化学気相蒸着装置を使用しているのであるが、この装置では炉に取りつけてあるふたを開けた時点から、炉内に空気の進入が始まり、ウェハの挿入、取り出しは、空気が混入した状態で行なわれることになる。また、混入した空気を取り除く技術も確立されていない。

そして、これらは、半導体膜成膜炉のふたの取りつけ部が高真空排気に耐え得る構造になっていないという装置的な要因が絡んでいる。

本発明はこのような課題を解決するためになされたもので、より高い移動度を実現させる薄膜トランジスタと、その製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明の薄膜トランジスタは、絶縁基体と、この絶縁基体上に形成された半導体膜からなるチ

ンネル部と、ソース・ドレイン部と、前記半導体膜にゲート絶縁膜を介して形成されたゲート配線とを有する薄膜トランジスタにおいて、前記チャネル部を構成する半導体膜が含有する電気的中性不純物の濃度が、 $10^{18}/\text{cm}^3$ 以下であることを特徴としている。

(発明が解決しようとする課題)

ところで、さらに高品質を目指してよりトランジスタ特性を向上させるには、多結晶シリコンの結晶粒径サイズや界面の状態を改善してあるところで限界が生じ、特性を向上させることが難しくなっている。

すなわち、電子の移動度がある値に達すると、測定温度を徐々に変化させても移動度の値はほとんど温度に影響されず、一定値のまま向上しないのである。

これは、多結晶シリコンに含まれる電気的中性不純物の酸素が影響していると考えられる。この電気的中性不純物である酸素は、多結晶中に $10^{19}/\text{cm}^3$ 程度混入しており、主にシリコンの成膜時、

また、本発明の薄膜トランジスタの製造方法は、半導体膜を形成するための成膜用容器内部の全圧が 10^{-4} torr以下になるまで排気し、排気後に絶縁基体上に半導体膜を形成する工程と、前記半導体膜にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体膜を、電気的中性不純物濃度が $10^{18}/\text{cm}^3$ 以下であるチャネル部と、電気的中性不純物を高濃度で含有するソース・ドレイン部とに分離する工程と、前記絶縁基体上に絶縁層を形成する工程と、前記絶縁層上に配線層を形成する工程とを有することを特徴としている。

本発明において、多結晶シリコン膜はたとえば 1×10^{-4} torr未満に排気された装置内で成膜す

る。このとき、残留ガスは空気であると考えたと酸素の割合は、30%程度であるため酸素分圧は 0.3×10^{-4} torr である。

この後、反応ガスを導入し成膜圧力を0.4torr程度にもどす。このとき、酸素分圧は最大 0.75×10^{-4} torr ($=0.3 \times 10^{-4}$) / 0.4) 程度となる。

このような酸素分圧の条件において、装置内に含まれる酸素のモル数 n を気体の状態方程式に従って求めると、

$$\begin{aligned} n &= PV / RT \\ &= \frac{(0.75 \times 10^{-4} \times 133 \times 1.3 \times 10^2)}{8.3 \times (273+600)} \\ &= 1.8 \times 10^{-8} \text{ mol} \end{aligned}$$

となる。

これがすべて反応生成物に取り込まれたとすると、その濃度 C_0 は、

$$C_0 = 1 \times 10^{18} / \text{cm}^3 = (8 \times 10^{23} \times 1.8 \times 10^{-8})$$

となる。

実際問題では、残留ガスが気体の状態方程式からはずれることと、Si-Si結合よりもSi-O結合

さらに、第3図に示した理論的な計算結果からも、電気的中性不純物濃度が $10^{18} / \text{cm}^3$ を超えて混入すると移動度に影響が現れはじめることがわかる。

本発明では、シリコンの薄膜形成時の雰囲気をも所定の状態にコントロールして、多結晶シリコンの含有する電気的中性不純物濃度を $10^{18} / \text{cm}^3$ 以下としているため、移動度向上の範囲を拡大し、より高品質化を図ることができる。

(実施例)

次に、本発明の実施例について図面を用いて説明する。

第1図は、本発明の一実施例である薄膜トランジスタを示す図である。

同図において、石英基板1上には多結晶シリコンによる半導体膜2が、化学気相エッチング法(CDE)等によって島状に2000Åの厚さで形成され、チャネル部を構成している。

このチャネル部となる多結晶シリコンの電気的中性不純物濃度は $10^{18} / \text{cm}^3$ 以下とされている。

の方が安定であることから反応し易いため、実際の反応生成物中の酸素濃度は、ほぼ $10^{18} / \text{cm}^3$ 程度となる。

すなわちこのことから、成膜を行う装置内部の全圧を前もって 10^{-4} torr 以下に排気することにより、成膜される膜の電気的中性不純物濃度は、 $10^{18} / \text{cm}^3$ 以下となり、薄膜トランジスタの移動度向上が可能となる。

(作用)

移動度の向上を妨げる原因としては、様々な要因が考えられるが、本発明者らは多結晶シリコン中に含まれる電気的中性不純物である酸素に着目した。

第4図は、多結晶シリコン中に含まれる酸素量を変え、温度と移動度との関係を図った結果である。×印は酸素混入サンプルの結果であり、○印は低酸素サンプルの結果を示している。

第4図から明らかなように、酸素含有量の多い多結晶シリコンは移動度の値が横違い状態で、向上が見られない。

半導体膜2上には、塩酸酸化法等でゲート酸化膜3が数100Åの厚さで形成され、さらに、ゲート電極用配線が減圧化学気相蒸着法(LP-CVD)等で形成され、その後、反応性イオンエッチング法(RIE)等でパターニングすることにより、ゲート電極4が形成されている。

半導体膜2の周囲には、イオン打ち込みによってソース・ドレイン部5が形成されている。

さらに、ソース・ドレイン部5の周囲の石英基板1上には、常圧化学気相蒸着法等により、層間絶縁膜6が形成されており、RIEで形成された所定のコンタクトホール7の部分に、アルミニウムまたはアルミニウム合金等で配線層8が形成されている。

このような薄膜トランジスタにおける半導体膜は、たとえば第2図に示す縦型の減圧CVD装置を用いて形成することができる。

第2図において、縦型の減圧CVD装置20には、底板21に高真空排気用のターボポンプ22と、残留ガスの分析を行なうためのモニター23

とが連結されている。

また、底板21とベルジャー24とは、2重のOリング25でシールされ、 10^{-4} torr以下でも十分に気密が保たれるようになっている。

この減圧CVD装置20を使用する場合は、まずはじめに装置内を加熱、排気する。そして、ウェハーを投入し、さらに加熱して高真空排気を行い、装置内を 10^{-4} torr以下に設定する。

次いで、モニター23による残留ガス分析を行ない、酸素、窒素等の分圧が所定の値(たとえば 10^{-5} torr以下)に達した時点で反応ガスを導入口26より導入して成膜を行なう。

このような条件下で成膜を行うことにより、生成される多結晶シリコンの電気的中性不純物濃度は $10^{18}/\text{cm}^3$ 以下となり、移動度の向上が実現された。

【発明の効果】

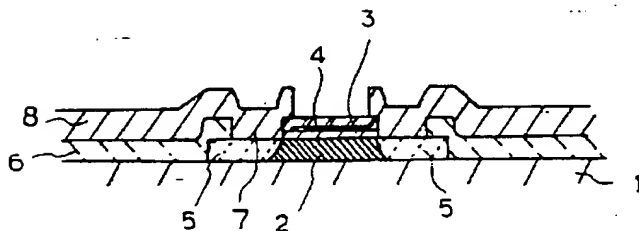
以上説明したように、本発明によれば半導体膜成膜前に、成膜容器内部を 10^{-4} torr以下の圧力まで排気し、低い分圧条件で多結晶シリコンを成膜

することにより、生成される多結晶シリコン膜の電気的中性不純物濃度を所定の濃度以下に抑え、薄膜トランジスタにおける移動度の向上を図ることができる。

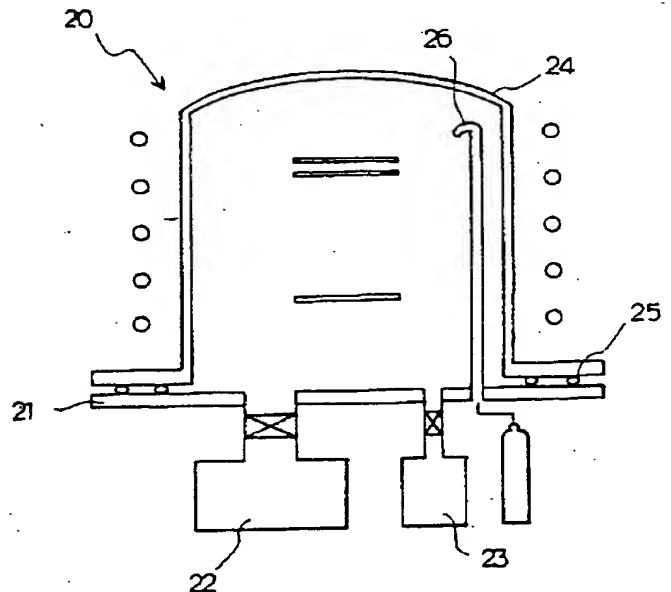
4. 図面の簡単な説明

第1図は本発明による一実施例の薄膜トランジスタを示す断面図、第2図は多結晶シリコンの成膜装置を説明するための概念図、第3図は多結晶シリコンの移動度と電気的中性不純物濃度との関係を示す図、第4図は温度変化に伴う移動度の変化を示す図である。

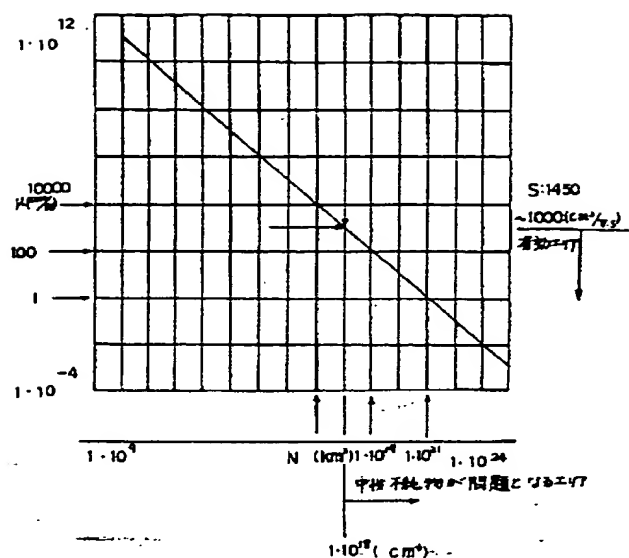
- 1 ……石英基板、2 ……半導体膜、
- 3 ……ゲート酸化膜、4 ……ゲート電極、
- 5 ……ソース・ドレイン部、
- 6 ……層間絶縁膜、7 ……コンタクトホール、
- 8 ……配線層、
- 20 ……縦型減圧CVD装置、
- 21 ……底板、22 ……ターボポンプ、
- 23 ……モニター、24 ……ベルジャー、
- 25 ……Oリング、26 ……導入口。



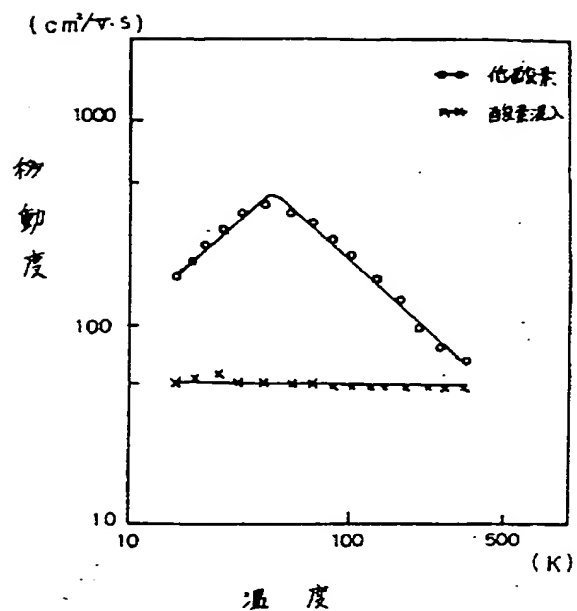
第1図



第2図



第 3 図



第 4 図